

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Hiroshi MIZUHASHI :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: March 23, 2004 : Attorney Docket No. OKI.647
For: METHOD OF TRANSFERRING DATA

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

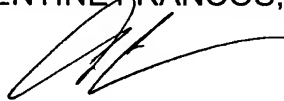
Appln. No. 2003-079902 filed March 24, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 23, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 4 日

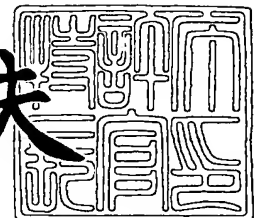
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 7 9 9 0 2
[ST. 10/C]: [J P 2 0 0 3 - 0 7 9 9 0 2]

出 願 人
Applicant(s): 沖電気工業株式会社

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 GI000001

【提出日】 平成15年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/409

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 水橋 比呂志

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

 【代表者】 篠塚 勝正

【代理人】

 【識別番号】 110000165

 【氏名又は名称】 グローバル・アイピー東京特許業務法人

 【代表者】 宮川 良夫

【手数料の表示】

 【予納台帳番号】 193162

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型 D R A M のデータ書込方法

【特許請求の範囲】

【請求項 1】

選択されたカラムごとにデータを書き込む同期型 D R A M のデータ書込方法であって、

第 1 メモリセルブロックにおいて、選択されたカラムのセンスアンプをデータバスに接続すると同時に、前記センスアンプをビット線対から切り離し、前記データバスのデータを前記センスアンプにラッチする第 1 ラッチステップと、

前記センスアンプをデータバスから切り離し、前記センスアンプを前記ビット線対に接続し、前記センスアンプのデータを前記ビット線対に書き込む第 1 書込ステップと、

を含む同期型 D R A M のデータ書込方法。

【請求項 2】

前記第 1 書込ステップに並行して、第 2 メモリセルブロックにおいて、選択されたカラムのセンスアンプを前記データバスに接続すると同時に、前記センスアンプをビット線対から切り離し、前記データバスのデータをセンスアンプにラッチする第 2 ラッチステップと、

前記センスアンプを前記データバスから切り離し、前記センスアンプを前記ビット線対に接続し、前記センスアンプのデータを前記ビット線対に書き込む第 2 書込ステップと、

をさらに含む請求項 1 に記載の同期型 D R A M のデータ書込方法。

【請求項 3】

前記第 1 メモリセルブロックは、前記センスアンプと各ビット線との間に接続されて互いに逆極性で駆動され、互いに並列に接続された第 1 及び第 2 トランジスタを有しており、

前記第 1 及び第 2 トランジスタにより前記センスアンプと各ビット線とを接続又は遮断する、請求項 1 又は 2 に記載の同期型 D R A M のデータ書込方法。

【請求項 4】

前記第 1 メモリセルブロックは、前記センスアンプとビット線との間に接続される第 1 トランジスタを有しており、

カラムアクセス中は、導通時に前記第 1 トランジスタに閾値電圧降下が発生するような第 1 電圧範囲で前記第 1 トランジスタを駆動し、カラムアクセス終了後は、前記第 1 電圧範囲よりも広くかつ導通時に前記第 1 トランジスタに閾値電圧降下が発生しない第 2 電圧範囲で前記第 1 トランジスタを駆動する、
請求項 1 又は 2 に記載の同期型 D R A M のデータ書込方法。

【請求項 5】

前記第 1 メモリセルブロックのセンスアンプは、前記第 1 メモリセルブロックとは反対側に配置された第 3 メモリセルブロックへのデータの書き込みも行うシェアドセンスアンプである、
請求項 1 から 4 のいずれかに記載の同期型 D R A M のデータ書込方法。

【請求項 6】

カラムアクセスごとに論理が反転するビットを含むビット列からなる信号により、前記第 1 メモリセルブロックを選択する、請求項 1 から 5 のいずれかに記載の同期型 D R A M のデータ書込方法。

【請求項 7】

前記信号は、アドレス信号の下位 3 ビットである、請求項 6 に記載の同期型 D R A M のデータ書込方法。

【請求項 8】

センスアンプとビット線との間に接続される 1 又は複数のスイッチング素子を有するスイッチ回路を備える同期型 D R A M のデータ書込方法であって、

導通時に前記スイッチング素子に閾値電圧降下が発生するような第 1 電圧範囲で前記スイッチ回路を駆動する、同期型 D R A M のデータ書込方法。

【請求項 9】

前記スイッチ回路は、互いに逆極性で駆動され、互いに並列に接続された第 1 及び第 2 トランジスタを有し、

導通時に前記第 1 又は第 2 トランジスタに閾値電圧降下が発生するような第 1 電圧範囲で前記第 1 及び第 2 トランジスタを駆動する、

請求項 8 に記載の同期型 D R A M のデータ書込方法。

【請求項 10】

前記スイッチ回路は、第 1 トランジスタを有し、

カラムアクセス中は、導通時に前記第 1 トランジスタに閾値電圧降下が発生するような第 1 電圧範囲で前記第 1 トランジスタを駆動し、カラムアクセス終了後は、前記第 1 電圧範囲よりも広く、導通時に前記第 1 トランジスタに閾値電圧降下が発生しない第 2 電圧範囲で前記第 1 トランジスタを駆動する、

請求項 8 に記載の同期型 D R A M のデータ書込方法。

【請求項 11】

前記センスアンプによりデータが書き込まれる複数のメモリセルブロックを有し、

カラムアクセスごとに論理が反転するビットを含むビット列からなる信号により、前記メモリセルブロックを選択する、請求項 8 から 10 のいずれかに記載の同期型 D R A M のデータ書込方法。

【請求項 12】

前記信号は、アドレス信号の下位 3 ビットである、請求項 11 に記載の同期型 D R A M のデータ書込方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型 D R A M のデータ書込方法、特に、選択されたカラムごとにデータを書き込む同期型 D R A M のデータ書込方法に関する。

【0002】

【従来の技術】

同期型 D R A M では、大容量化及び高速化が求められている。しかし、大容量化すると、配線負荷が大きくなるので高速化の点では不利になるという問題がある。この問題を解決するために、メモリセルブロックをより細かく分割してビット線の負荷を軽減することが考えられるが、チップ面積の増大を招く。また、データバス及びリードアンプを 2 対用意して 1 対づつ交互に動作させることにより

、外部クロック周波数に対してオペレーション周波数を半分に減らし、ビット線への書き込み時間を長くする方法も考えられる。この場合もチップ面積が増大し、さらに、制御回路が複雑化してしまうという問題もある。

【0003】

従来、DRAMの高速動作を図ったDRAMとして、以下の特許文献に記載されたものがある。

【0004】

特許文献1には、ブロックライト機能を有する画像データ用の同期型DRAMが記載されている。この同期型DRAMでは、同時書き込み対象の複数のビット線をセンスアンプから切り離して、書き込み対象ビット線対におけるセンスアンプにデータを書き込み、その後、書き込み対象のビット線対におけるセンスアンプからメモリセルにデータを書き込むことにより、ブロックライトの高速化を図っている。

【0005】

特許文献2には、ビット線対における微小電位差がセンスアンプに到達した時点で、ビット線対を切り離してセンスアンプにより増幅を行うことにより、データの読み出しを高速化するDRAMが記載されている。

【0006】

【特許文献1】

特開平8-87879号公報（第3-5頁、第1-2図）

【0007】

【特許文献2】

特開平12-149562号公報（第4-5頁、第1-2図）

【0008】

【発明が解決しようとする課題】

特許文献1に記載の同期型DRAMは、画像データ用の同期型DRAMにおいてブロックライトを高速化するものであるが、カラムごとにデータを書き込む方法を使用する汎用の同期型DRAMのデータ書き込み動作を高速化する点については記載されていない。

【0009】

また、特許文献2に記載のDRAMは、読み出し動作の高速化を図るものであるが、DRAMの高速化には書き込み動作の高速化も必要であり、書き込み動作の高速化を図る必要がある。

【0010】**【課題を解決するための手段】**

本発明に係る同期型DRAMのデータ書込方法は、選択されたカラムごとにデータを書き込む同期型DRAMのデータ書込方法であって、第1ラッチステップと、第1書込ステップとを含んでいる。第1ラッチステップでは、第1メモリセルブロックにおいて、選択されたカラムのセンスアンプをデータバスに接続すると同時に、センスアンプをビット線対から切り離し、データバスのデータをセンスアンプにラッチする。第1書込ステップでは、センスアンプをデータバスから切り離し、センスアンプをビット線対に接続し、センスアンプのデータをビット線対に書き込む。

【0011】**【作用】**

この同期型DRAMでは、選択されたカラムごとにデータを書き込む場合に、センスアンプをビット線対から切り離した状態でセンスアンプにデータをラッチし、その後にセンスアンプをビット線に接続してデータを書き込む。この方法は、選択されたカラムごとにデータを書き込む汎用の同期型DRAMに適用することができ、ビット線の負荷を切り離した状態でセンスアンプを短時間で確実に反転させ、その後にセンスアンプからビット線対にデータを書き込むため、データの書込を高速かつ確実に行うことができる。

【0012】**【発明の実施の形態】****(1) 第1実施形態****(1-1) 構成**

図1は、本発明の第1実施形態に係る同期型DRAMの構成図である。図2は、図1におけるメモリセルアレイ18の拡大図である。この同期型DRAMは、

メモリセルアレイ 18、カラム選択パルス生成回路 10、ライトクロック生成回路 11、データバスイコライズ信号生成回路 12、ライトドライバ&データバスイコライザ 13、プリデコーダ 14、アドレスドライバ 15、カラムデコーダ 16、ロウデコーダ&メインワード線ドライバ 17を備えている。

【0013】

メモリセルアレイ 18は、メモリセルブロック 19、センスアンプ部 110、センスアンプ&データバス制御ブロック 111を有している。メモリセルブロック 19は、512本のワード線と、256本のビット線対と、ワード線とビット線の交差部に配置されたメモリセルを含む。メモリセルブロック 19では、カラム選択線 Y ごとに 4 ビット線対がデータバスと接続するように構成されている。即ち、メモリセルブロック 19 ごとに 64 本のカラム選択線 Y が存在する。このようなメモリセルブロック 19 がワード線方向に 8 個積まれている。

【0014】

カラム選択パルス生成回路 10は、クロック信号 CLK 及び信号 BURST からカラム選択パルス YCLK を生成する。ここで、信号 BURST は、カラムアクセス中に “H” レベルとなる信号である。ライトクロック生成回路 11は、カラム選択パルス YCLK 及び信号 WRITE により信号 WDE を生成する。ここで、信号 WRITE は、ライトアクセス中に “H” レベルとなる信号である。データバスイコライズ信号生成回路 12は、カラム選択パルス YCLK によりイコライズ信号 DBEQ を生成する。ライトドライバ&データバスイコライザ 13は、信号 WDE により入力データをデータバス上に転送するとともに、次のアクセスに備えてイコライズ信号 DBEQ によりデータバスのイコライズを行う。プリデコーダ 14は、アドレス信号 A0～A8 をプリデコードし、プリデコード信号 PY を生成する。ここでは、下位 3 ビット (A0～A2) をメモリセルブロック 19 の選択に割り当て、残りの 6 ビット (A3～A8) をカラム選択線 Y の選択に割り当てる。バーストアクセス時にはカラム選択線 Y の選択、すなわちカラムアクセスごとに最下位ビット A0 は必ず “H” と “L” とを繰り返すため、連続するカラムの選択時には、前カラムと次カラムとは異なるメモリセルブロック 19 にアクセスすることになる。アドレスドライバ 15は、プリデコード信号 P

Y をカラム選択パルス YCLK に同期させてカラムデコーダ 16 に出力する。カラムデコーダ 16 は、プリデコード信号 PY に基づいて、ブロック選択信号 YBSSEL [0:7] 及びカラム選択信号 Y [0:63] を出力する。ロウデコーダ & メインワード線ドライバ 17 は、アレイ選択信号 ASSEL [0:3] とバースト信号に基づいて、アレイ選択信号 XASSEL [0:3] を出力する。

【0015】

図 3 は、センスアンプ部 110、センスアンプ & データバス制御ブロック 111 の回路図である。ここで、BL, BLb はビット線、SBL, SBLb はセンスアンプ 301 の入力ノードである。

【0016】

センスアンプ部 110 は、隣り合う 2 つのメモリセルブロック 19 にデータの書き込みを行い、アレイ選択信号 ASSEL [0:3] に基づいて左又は右のいずれかのメモリセルブロック 19 にデータを書き込む。センスアンプ部 110 は、センスアンプ 301、トランスファーゲート 302, 303、イコライズ回路 304、プリチャージ & イコライズ回路 305, 306 を有している。センスアンプ 301 は、インバータ 24, 25 の出力により駆動され、入力ノード SBL, SBLb の電位差を VDD 又は GND にラッチする。トランスファーゲート 302 は、Pch トランジスタ 55 及び Nch トランジスタ 214 と、Pch トランジスタ 56 及び Nch トランジスタ 215 とにより構成され、センスアンプ 301 と左側メモリセルブロック 19 のビット線対 BL, BLb とを接続又は遮断する。トランスファーゲート 303 は、Pch トランジスタ 57 及び Nch トランジスタ 225 と、Pch トランジスタ 58 及び Nch トランジスタ 226 により構成され、センスアンプ 301 と右側メモリセルブロック 19 のビット線対 BL, BLb とを接続又は遮断する。イコライズ回路 304 は、トランジスタ 224 により各ビット線 BL, BLb を同電位にイコライズする。プリチャージ & イコライズ回路 305 は、トランジスタ 211 ~ 213 により構成されており、左側メモリセルブロック 19 の各ビット線 BL, BLb を中間電位 VBL ($VDD/2$) にプリチャージ及びイコライズする。プリチャージ & イコライズ回路 306 は、トランジスタ 227 ~ 229 により構成されており、右側メモリセルブロッ

ク 19 のビット線 BL 及び BLb を中間電位 V_{BL} ($V_{DD}/2$) にプリチャージ及びイコライズする。データバス接続回路 307 は、トランジスタ 222, 223 により構成されており、センスアンプ 301 とデータバス DB , DBb とを接続又は遮断する。

【0017】

センスアンプ&データバス制御部 111 において、インバータ 24, 25 は、 $SLNGb$ に基づいて、センスアンプ 301 を駆動するための活性化信号 $SLPG$, $SLNG$ を生成する。ここで、 V_{pp} は、 Nch トランジスタを駆動する場合にソースドレイン間に閾値電圧降下 V_t を発生させないように V_{DD} を昇圧した電圧である。また、 V_{pp} で駆動される NOR 回路 22 と、トランジスタ 26, 27 とが、イコライズ信号 $EQLb$, $EQRb$ に基づいて、センスアンプ 301 を中間電位 V_{BL} にプリチャージ及びイコライズする。また、NOR 回路 22 の出力は、イコライズ回路 304 の駆動にも使用される。NOR 回路 51、インバータ 52 は、イコライズ信号 $EQLb$ 及びブロック選択信号 $YBSEL$ に基づき、内部電圧 V_{DD} でトランスファークゲート 302 を駆動する。同様に、NOR 回路 53、インバータ 54 は、イコライズ信号 $EQRb$ 及びブロック選択信号 $YBSEL$ に基づいて、内部電圧 V_{DD} でトランスファークゲート 303 を駆動する。

ここで、例えば、左側メモリセルブロック 19 のビット線 BL には Pch トランジスタ 55 及び Nch トランジスタ 214 が接続されているが、このように互いに逆極性で駆動されるトランジスタ 55, 214 を並列に接続することにより、 V_{pp} よりも低い内部電圧 V_{DD} で駆動した場合にもデータの伝達を確実に行うことができる。即ち、ビット線 BL が “H” である場合に、 Nch トランジスタ 214 のみであると、 Nch トランジスタ 214 のソースドレイン間に閾値電圧降下 V_t が発生するが、本実施形態のように Pch トランジスタ 55 も接続すると、 Pch トランジスタのソースドレイン間に閾値電圧降下 V_t が発生しないので、センスアンプ 301 とビット線 BL とを閾値電圧降下 V_t なしに接続できる。ビット線 BL が “L” である場合には、 Pch トランジスタ 55 のソースドレイン間に閾値電圧降下 V_t が発生するが、 Nch トランジスタ 214 の

ソースドレイン間に閾値電圧降下 V_t が発生しないので、センスアンプ 301 とビット線 BL とを閾値電圧降下 V_t なしに接続できる。

【0018】

インバータ 21, 23 は、それぞれ、 V_{pp} で駆動され、イコライズ信号 EQ_{Lb} , EQ_{Rb} に基づいて、プリチャージ&イコライズ回路 305, 306 を駆動する。トランジスタ 28, 29, 210 は、イコライズ信号 $DBEQD$ により駆動され、データバス DB, DBb をイコライズする。

【0019】

(1-2) ライトサイクル時の動作

図 4 は、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込む際のビット線レベルが変化する様子を示すタイミングチャートである。同図中、 SB_L , SB_{Lb} はセンスアンプ 301 の入力ノード、 BL_R , BL_{bR} はビット線対の遠端部のノード、即ち、メモリセルの接続部のノードとする。

【0020】

アレイ選択信号 $XASEL[0:3]$ によりメモリセルアレイが選択された後、CLK 及び信号 BURST により生成されるカラム選択パルス $YCLK$ に同期して、メモリセルブロック $YBSEL[k]$ 及びカラム選択線 $Y[i]$ が “H” になると、トランジスタ 222, 223 が ON してデータバス DB, DBb がセンスアンプ 301 に接続される。これと同時に、ゲート信号 TGR 及び TGL が “L” となってトランスファergeート 302, 303 によりセンスアンプ 301 がビット線対 $BL[i]$, $BL_{b[i]}$ から切り離される。即ち、センスアンプ 301 がビット線対 $BL[i]$, $BL_{b[i]}$ から切り離された状態で、データバス DB, DBb からセンスアンプ 301 の入力ノード SB_L , SB_{Lb} にデータが伝達される。これにより、入力ノード SB_L は “H” から “L” に、入力ノード SB_{Lb} は “L” から “H” に急峻にレベルが変化し、センスアンプ 301 によりラッチされる。

【0021】

$YBSEL[k]$ 及び $Y[i]$ が “H” から “L” に変化すると、センスアンプ 301 がデータバス DB, DBb から切り離され、 TGR が “L” から “H”

に変化し、トランスファークラーク303によりセンスアンプ301がビット線対BL[i], BLb[i]と接続される。これにより、センスアンプ301のデータがビット線対BL[i], BLb[i]に伝達され、BLR[i]及びBLbR[i]は緩やかに変化して反転する。

【0022】

YBSEL[l]及びY[j]が“H”に反転すると、センスアンプ301からビット線対BLR[i]及びBLbR[i]にデータが書き込まれるのと並行して、YBSEL[l]で選択されるメモリセルブロック19のY[j]で選択されるカラムにおいて、前記同様にセンスアンプ301へのデータのラッチが開始される。この際、メモリセルブロック19のアドレスが下位アドレスA0-A2で選択されているため、Y[i]とY[j]では異なるメモリセルブロックYBSEL[k]及びYBSEL[l]が選択される。これにより、ブロックYBSEL[k]及びカラムY[i]におけるビット線対BLR[i]及びBLbR[i]への書き込み中にオーバーラップして、メモリセルブロックYBSEL[l]及びカラムY[j]におけるセンスアンプ301へのデータのラッチを行うことができる。

【0023】

(1-3) まとめ

本実施形態によれば、ライトアクセス時において、センスアンプ301をビット線対BL, BLbから一端切り離した状態で、センスアンプ301からデータバスDB, DBbにデータを伝達することにより、センスアンプ301に高速にデータをラッチできる。また、その後、センスアンプ301をデータバスDB, DBbから切り離してから、センスアンプ301をビット線対BL, BLbに接続してセンスアンプ301からメモリセルにデータを書き込む際に、次に選択されるカラムが別のブロックに属するため、ビット線同士の干渉を防止しつつ、次に選択されるカラムにおいてセンスアンプ301へのデータのラッチをオーバーラップして開始することができる。この結果、データの書き込みを高速かつ確実に行うことができる。

【0024】

また、トランスファークゲート 302, 303 を互いに並列に接続される Pch 及び Nch のトランジスタで構成し、Vpp よりも低い電圧 VDD で駆動するため、センスアンプ 301 とビット線対 BL, BLb との接続及び遮断を高速に行うことができる。このとき、トランスファークゲート 302, 303 を互いに並列に接続される Pch 及び Nch のトランジスタで構成するため、入力ノード SBL, SBLb のデータが “H” であっても “L” であっても、閾値電圧降下 Vt の電圧降下を生じることなく、入力ノード SBL, SBLb からビット線 BL, BLb にデータを伝達することができる。

【0025】

(2) 第2実施形態

(2-1) 構成

図5は、本発明の第2実施形態に係る同期型DRAMの構成図である。

【0026】

第1実施形態に係る同期型DRAMと同様の構成には同一符号を付して説明を省略する。本実施形態に係る同期型DRAMでは、ロウアドレス選択時に選ばれるアレイ選択信号 ASEL [0:3] と信号 BURST とを用い、カラムアクセス時にどのメモリセルアレイが選択されているかを示す XASEL がロウデコーダ&メインワード線ドライバ 17 より出力され、センスアンプ&データバス制御ブロック 111 に入力される。また、ブロック選択信号 YBSELb [0:7] は第1実施形態の場合とは逆の論理である。

【0027】

図6は、センスアンプ部 110、センスアンプ及びデータバス制御ブロック 111 の回路図である。

【0028】

本実施形態では、トランスファークゲート 307 は、Nch のトランジスタ 214, 215 により構成され、トランジスタ 81, 82 で構成されるインバータ 811 の出力により駆動される。インバータ 811 は、イコライズ信号 EQLb とブロック選択信号 YBSELb とが入力される NAND 83 の出力により駆動され、GND レベル又は電源レベルを出力する。電源レベルは、トランジスタ 84

、85又はトランジスタ86により、 V_{pp} 又は内部電圧VDDが選択される。具体的には、インバータ812の電源レベルは、XASELに基づいて以下のよう
に選択される。即ち、XASELが“L”のとき、トランジスタ84及び85が導通し、インバータ812の電源レベルは V_{pp} となる。一方、XASELが“H”のとき、トランジスタ86が導通し、インバータ812の電源レベルは内部電圧VDDとなる。トランスファークゲート308も、トランスファークゲート307と同様に構成されており、電源レベル V_{pp} 又はVDDにより駆動される。ここで、 V_{pp} は、Nchトランジスタ214、215、225、226を駆動する場合にソースドレイン間に閾値電圧降下 V_t を発生させないような電圧であり、VDDは、 V_{pp} よりも低く、Nchトランジスタ214、215、225、226を駆動する場合にソースドレイン間に閾値電圧降下 V_t を発生させる電圧である。

【0029】

(2-2) ライトアクセス時の動作

図7は、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込んだ際のビット線レベルが変化する様子を示すタイミングチャートである。

【0030】

カラムアクセスが始まりカラムアクセス中を示す信号BURSTが“H”となると、ロウアクセス時に選択されていたメモリセルアレイに対してXASELが“L”から“H”に変化する。XASELが“L”の時間帯ではインバータ812の電源レベルは V_{pp} であり、XASELが“H”レベルになるとインバータ812の電源レベルはVDDになる。このとき、TGRは、 $GND-V_{pp}$ の信号振幅から $GND-VDD$ の信号振幅になる。ブロック選択線YBSSELb[k]が“H”から“L”に変化すると、カラム選択線Y[i]が“H”となってセンスアンプ301とデータバスDB、DBbとが接続されると同時に、TGRが“L”となってトランスファークゲート307、308によりセンスアンプ301とビット線対BL、BLbとが切り離される。その後、カラム選択線Y[i]が“L”となってデータバス接続回路306によりセンスアンプ301がデータバスDB、DBbと切り離され、さらに、TGRが“H”（VDD）となると、ト

ランスファークラップ 307, 308 によりセンスアンプ 301 とビット線対 BL, BLb とが接続される。そして、センスアンプ 301 にラッチされたデータがビット線対 BL, BLb を介してメモリセルに書き込まれる。

【0031】

ここでは、トランジスタ 226 が VDD ($< V_{pp}$) で駆動されるため、センスアンプ 301 にラッチされたデータのレベルが閾値電圧降下 V_t だけ降下して伝達されることになり、ビット線 BLb が $VDD - V_t$ までしかチャージされない。その後、カラムアクセスが終了すると信号 BURST が “L” となるため、XASEL が “L” となり、インバータ 812 の電源レベルが V_{pp} に戻る。これにより、トランジスタ 226 が V_{pp} で駆動されることになり、ビット線 BLb が VDD までチャージされる。

【0032】

YBSEL [1] 及び Y [j] が “H” に反転すると、第 1 実施形態の場合と同様に、センスアンプ 301 からビット線対 BLR [i] 及び BLbR [i] にデータが書き込まれるのと並行して、YBSEL [1] で選択されるメモリセルブロック 19 の Y [j] で選択されるカラムにおいて、センスアンプ 301 へのデータのラッチが開始される。この際、メモリセルブロック 19 のアドレスが下位アドレス A0 - A2 で選択されているため、Y [i] と Y [j] では異なるメモリセルブロック YBSEL [k] 及び YBSEL [1] が選択される。これにより、ブロック YBSEL [k] 及びカラム Y [i] におけるビット線対 BLR [i] 及び BLbR [i] への書き込み中にオーバーラップして、メモリセルブロック YBSEL [1] 及びカラム Y [j] におけるセンスアンプ 301 へのデータのラッチを行うことができる。

(2-3) まとめ

本実施形態でも第 1 実施形態と同様に、センスアンプ 301 からビット線対 BL 及び BLb を切り離した状態でデータをラッチするため、センスアンプ 301 に高速にデータをラッチできる。また、カラム選択線 Y [i] と Y [j] とは別のメモリセルブロック 19 属するため、ビット線同士の干渉を防止しつつ、カラム選択線 Y [i] におけるセンスアンプ 301 からビット線 BLb へのデータを

書き込みと、次のカラム選択線 $Y[j]$ におけるセンスアンプ 301 へのデータのラッチとをオーバーラップして行うことができる。

【0033】

本実施形態に係る同期型 DRAM では、カラムアクセス中（信号 BURST “H” の期間）にはトランスファークゲート 307, 308 を V_{pp} よりも低い V_D により高速に駆動し、ビット線の “H” レベルを閾値電圧降下 V_t だけ電圧降下した $V_{DD} - V_t$ までチャージしておき、カラムアクセス終了後にビット線のレベルを V_{DD} まで補償するようにしたので、第 1 実施形態のようにトランスファークゲート 308 を V_{DD} で駆動するために、 N_{ch} 及び P_{ch} のトランジスタで構成する必要がない。この結果、トランスファークゲート 308 を 1 個のトランジスタで構成することができ、チップ面積の増大を招くことなく、第 1 実施形態と同様にデータの書き込みを高速かつ正確に行うことができる。

【0034】

【発明の効果】

本発明によれば、同期型 DRAM において、センスアンプをビット線対から一端切り離れた状態でセンスアンプにデータをラッチし、その後、センスアンプからビット線対にデータを書き込むようにするとともに、ビット線対へのデータの書き込み中にオーバーラップして、別のメモリセルブロックのカラムのセンスアンプにデータをラッチするので、データの書き込みを高速かつ正確に行うことができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態に係る同期型 DRAM の構成図。

【図 2】

メモリセルアレイの拡大図。

【図 3】

第 1 実施形態に係るセンスアンプ部 110、センスアンプ & データバス制御ブロック 111 の回路図。

【図 4】

第1実施形態において、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込む際のビット線レベルが変化する様子を示すタイミングチャート。

【図5】

第2実施形態に係る第2実施形態に係る同期型DRAMの構成図。

【図6】

第2実施形態に係るセンスアンプ部110、センスアンプ及びデータバス制御ブロック111の回路図。

【図7】

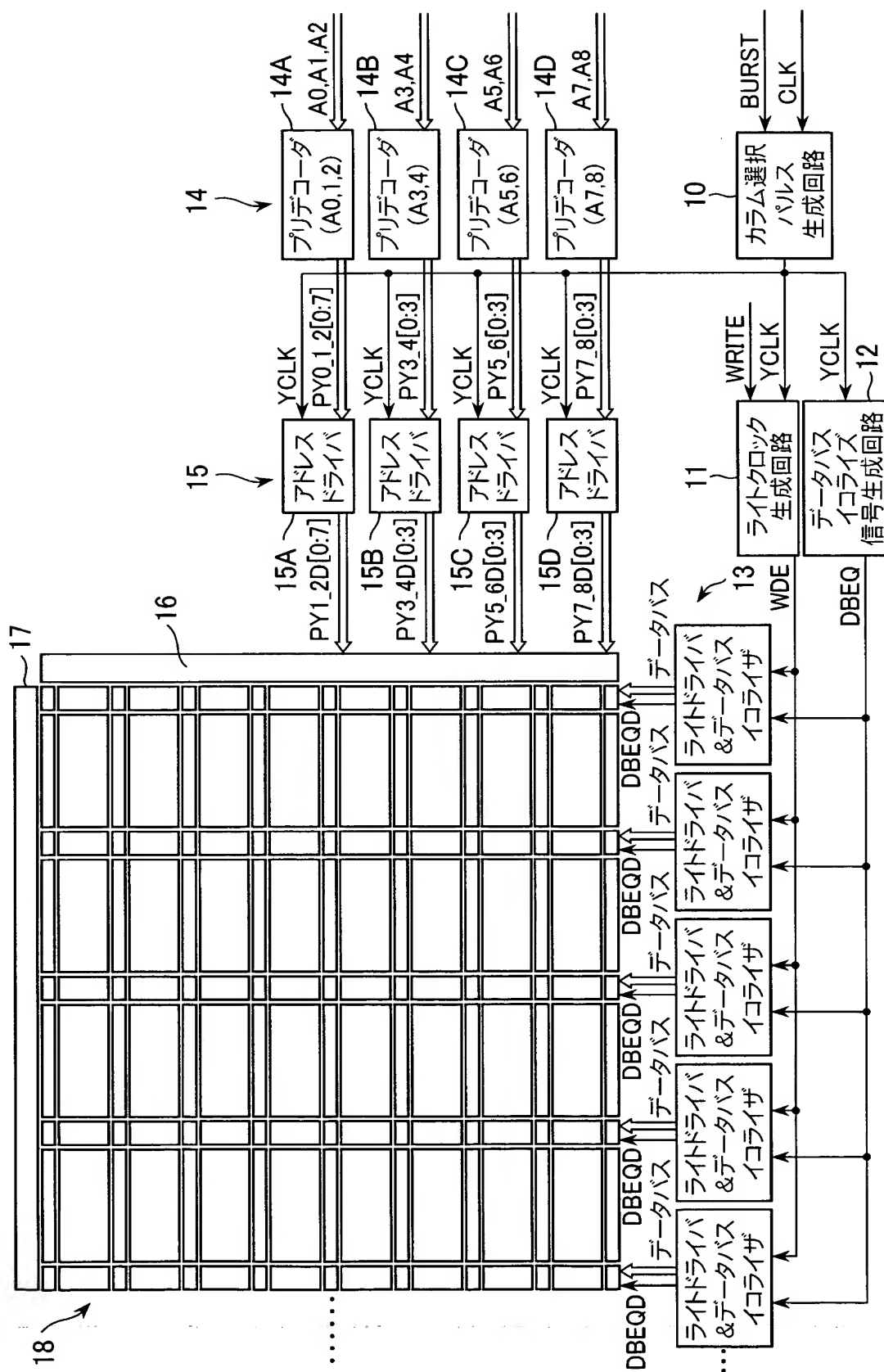
メモリセルに蓄積されていたデータに対して逆論理のデータを書き込んだ際のビット線レベルが変化する様子を示すタイミングチャート。

【符号の説明】

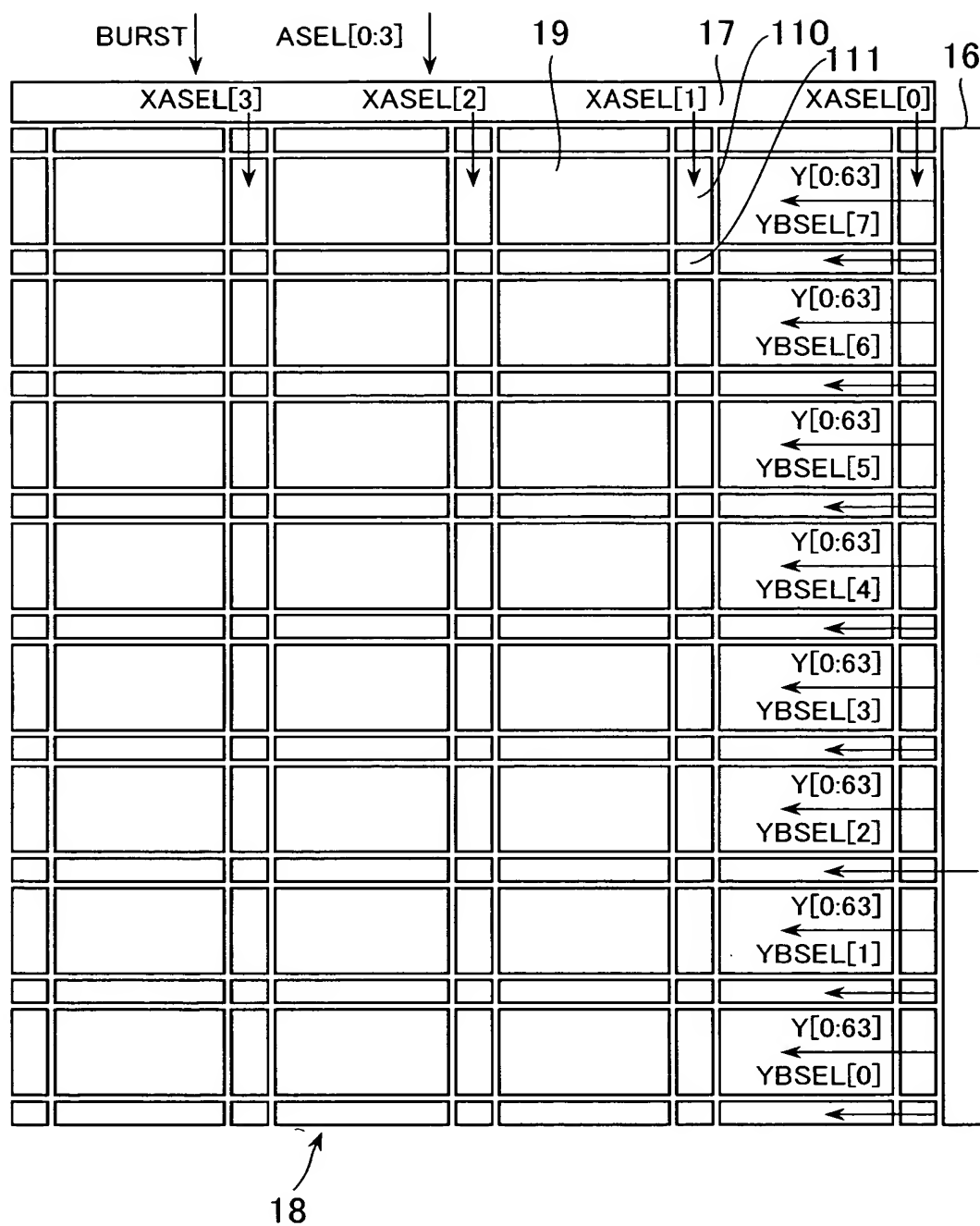
- 10 カラム選択パルス生成回路
- 11 ライトクロック生成回路
- 12 データバスイコライズ信号生成回路
- 13 ライトドライバ&データバスイコライザ
- 14 プリデコーダ
- 15 アドレスドライバ
- 16 カラムデコーダ
- 17 ロウデコーダ&メインワード線ドライバ
- 18 メモリセルアレイ
- 19 メモリセルブロック
- 110 センスランプ部
- 111 センスアンプ&データバス制御部

【書類名】 図面

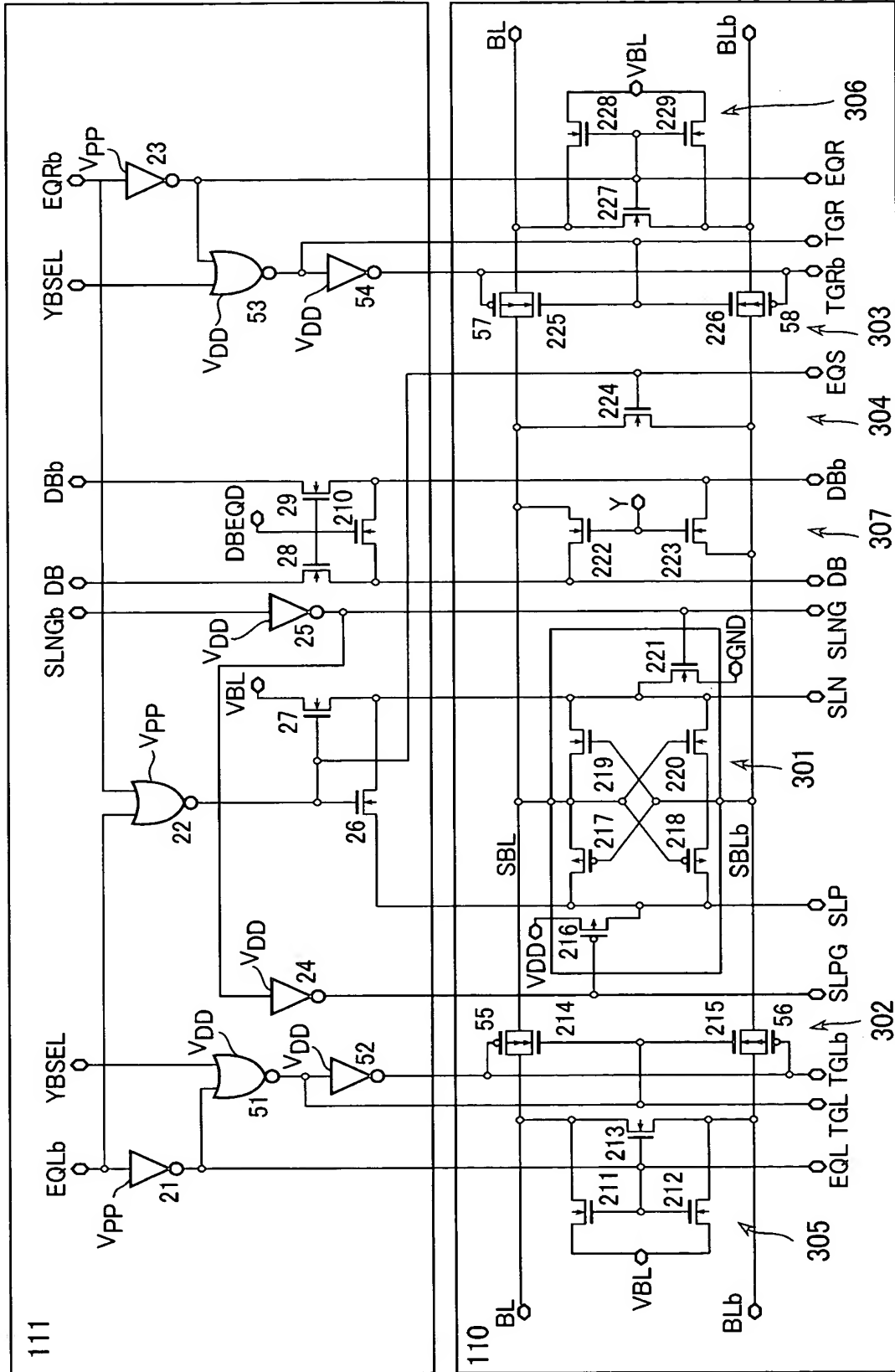
【図 1】



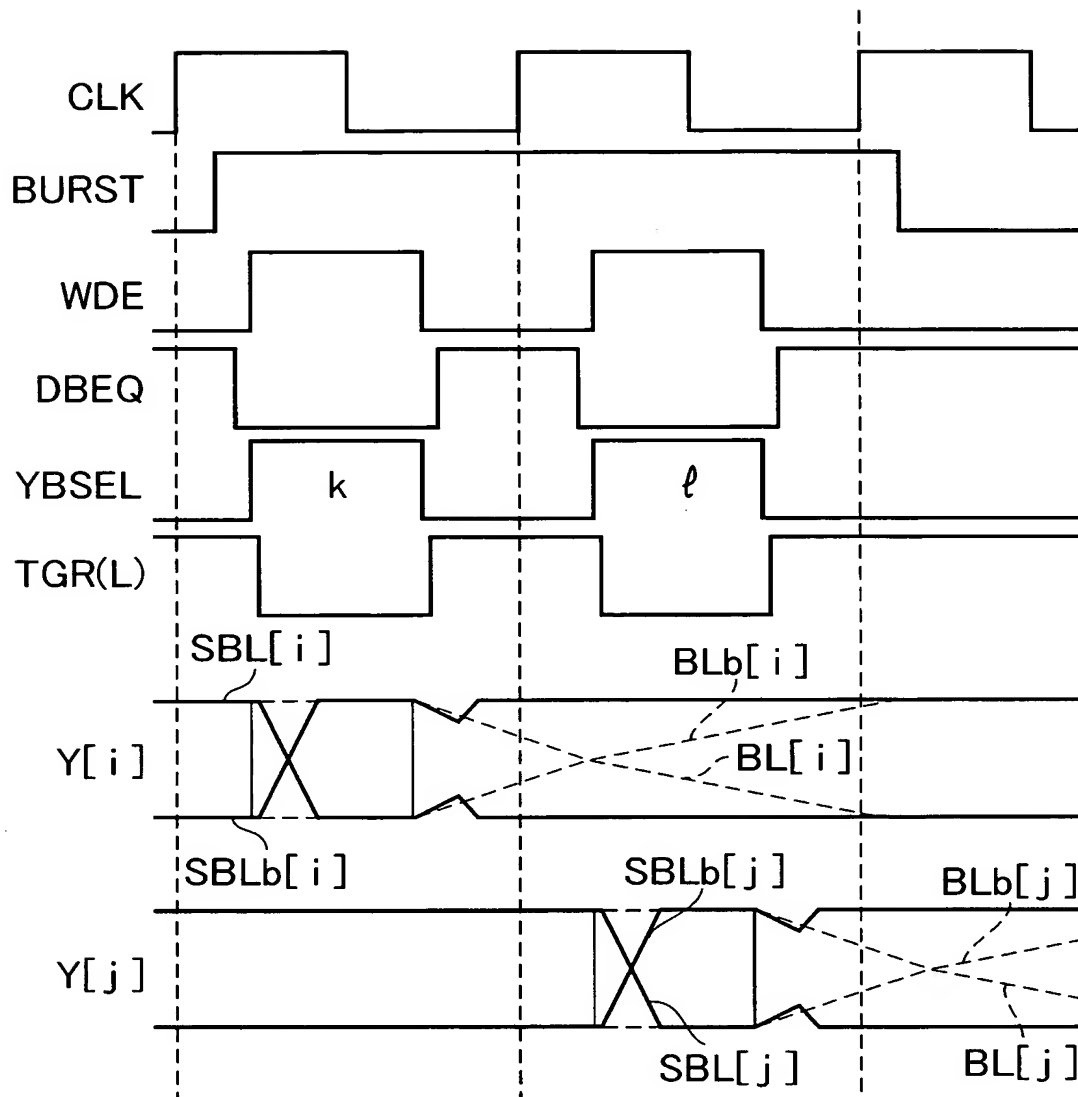
【図 2】



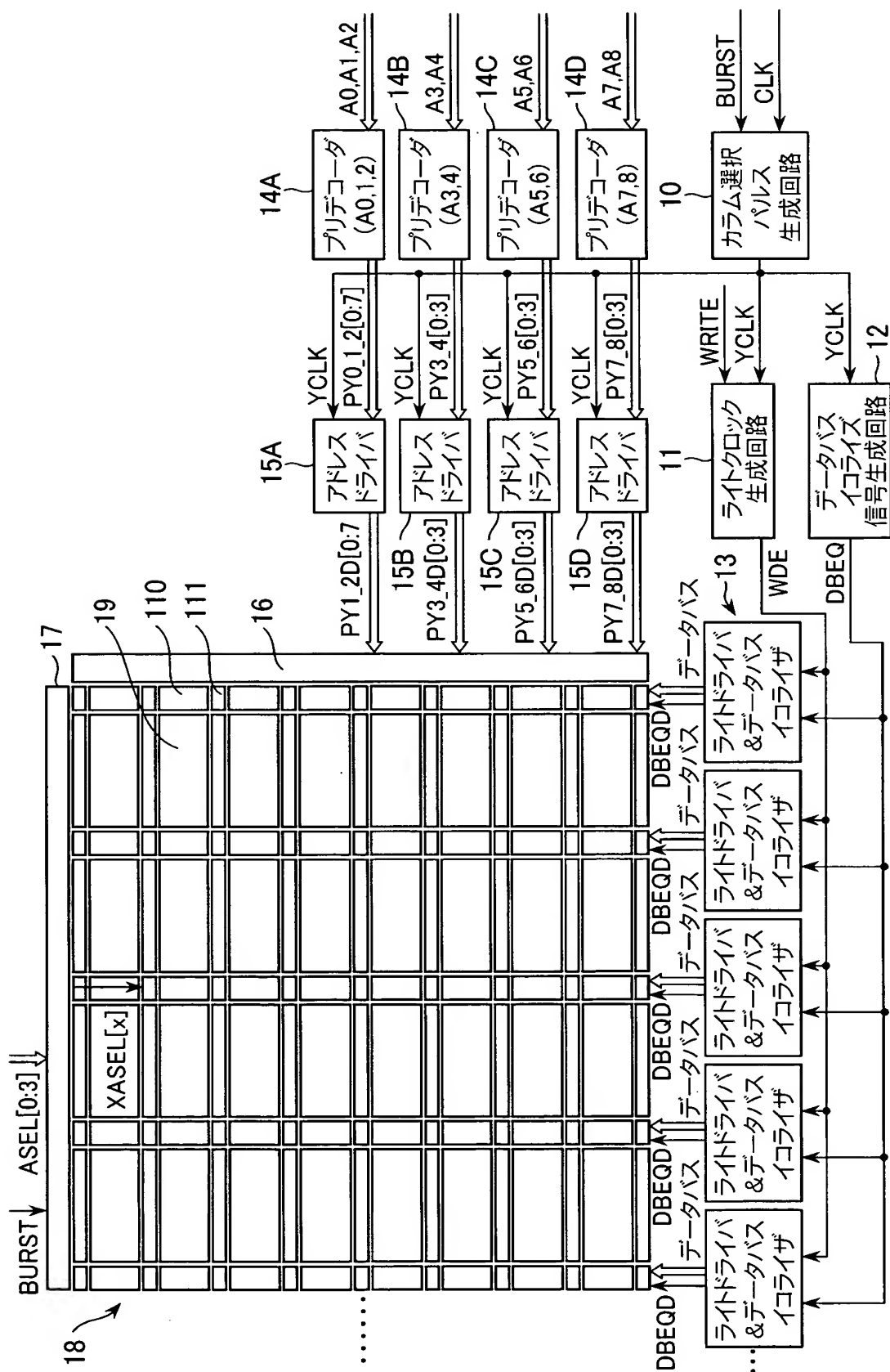
【図 3】



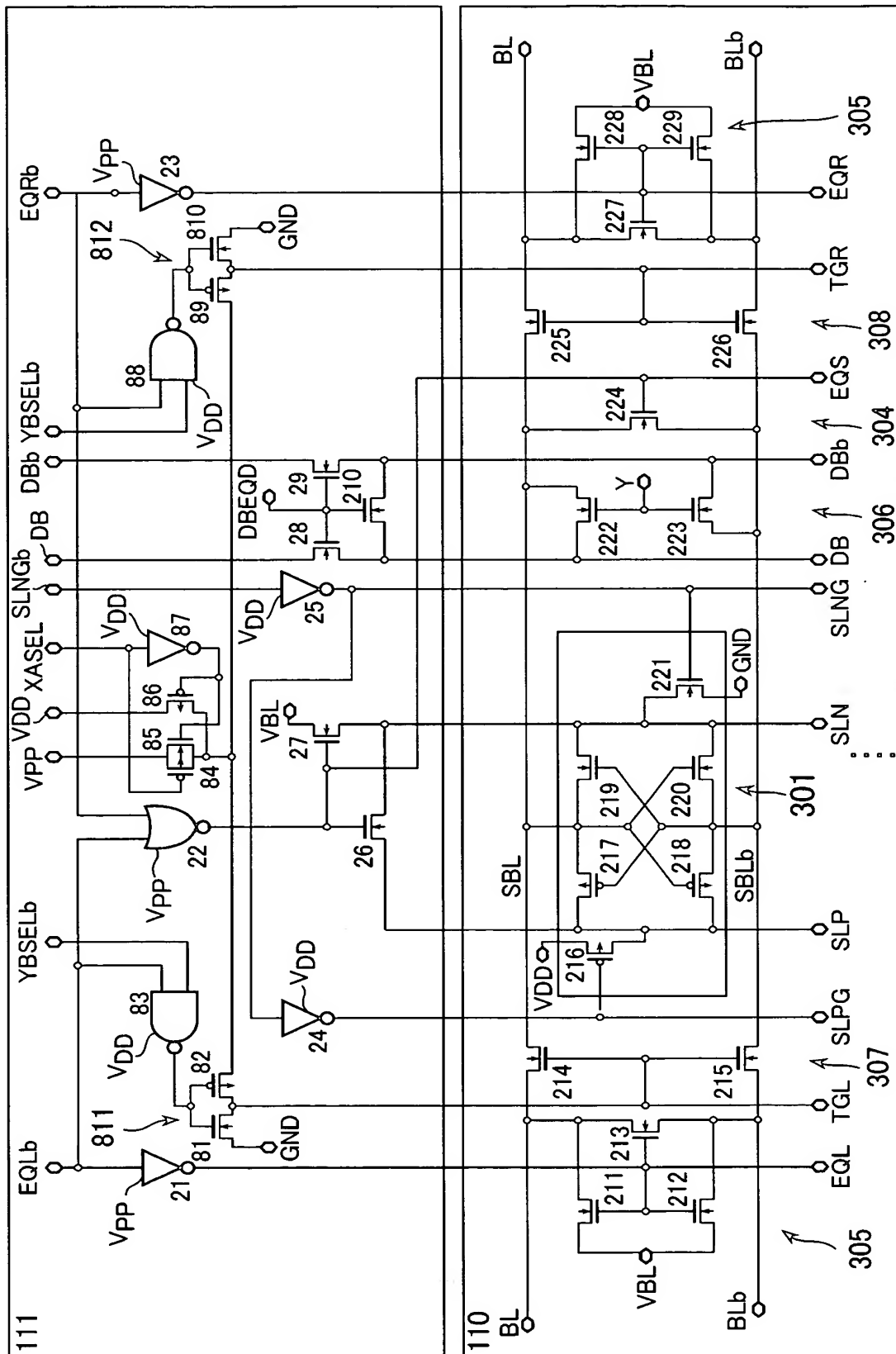
【図 4】



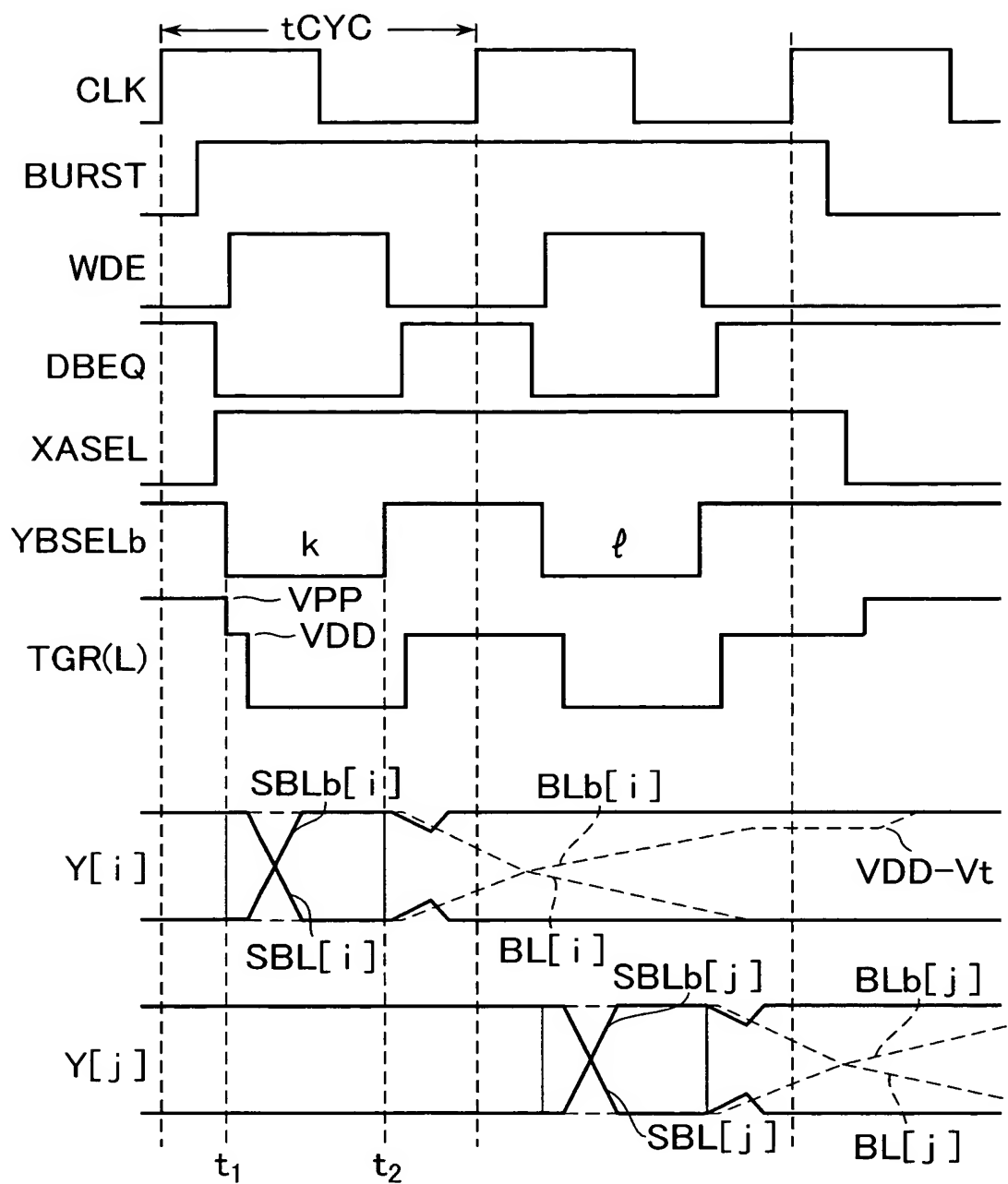
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 選択されたカラムごとにデータを書き込む同期型 D R A M において、データの書込動作を高速かつ確実に行うことにある。

【解決手段】 第 1 メモリセルブロック Y S E L (k) において、選択されたカラムのセンスアンプ 3 1 0 をデータバス D B , D B b に接続すると同時に、センスアンプ 3 1 0 をビット線対 B L , B L b から切り離し、データバス D B , D B b のデータをセンスアンプ 3 1 0 にラッチする第 1 ラッチステップと、センスアンプ 3 1 0 をデータバス D B , D B b から切り離し、センスアンプ 3 1 0 をビット線対 B L , B L b に接続し、センスアンプ 3 1 0 のデータをビット線対 B L , B L b に書き込む第 1 書込ステップとを含む同期型 D R A M のデータ書込方法。

【選択図】 図 3

特願 2 0 0 3 - 0 7 9 9 0 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社